

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-098685

(43)Date of publication of application : 31.03.1992

(51)Int.Cl. G11C 11/413
H03K 19/0175

(21)Application number : 02-213996

(71)Applicant : HITACHI LTD
HITACHI TOBU SEMICONDUCTOR
LTD
AKITA DENSHI KK

(22)Date of filing : 13.08.1990

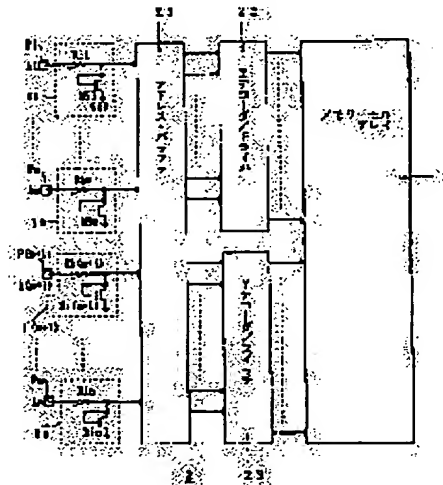
(72)Inventor : NAKAZATO SHINJI
AISAKA YASUHIRO
ITO SHIN
KAWAKAMI MAKOTO
SAKAMOTO MASATAKA

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To enable correction without fail in a short developing period by uniquely correcting transmission delay dispersion in the logic signal of the semiconductor integrated circuit device according to the size of a time constant in a protection circuit.

CONSTITUTION: Electrostatic destruction proofing circuits 11-1n are operated also as delay circuits to address signals A1-An inputted from terminals pad P1-Pn to a peripheral memory circuit 2 according to the time constant due to resistors Ri1-Rin and MOS capacitors M1-Mn. In this case, the respective resistors Ri1-Rin of the electrostatic destruction proofing circuits 11-1n are respectively set to have the time constant for correcting the timing dispersion of the address signals A1-An generated by the internal circuit such as the peripheral memory circuit 2 or the like. Thus, speed can effectively be improved by suppressing the dispersion of access time for a BiCMOS high-speed SRAM.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報(A)

平4-98685

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)3月31日

G 11 C 11/413

7323-5L
8941-5JG 11 C 11/34
H 03 K 19/003 0 3
1 0 1 N※

審査請求 未請求 請求項の数 4 (全5頁)

⑮ 発明の名称 半導体集積回路装置

⑯ 特 願 平2-213996

⑰ 出 願 平2(1990)8月13日

⑱ 発 明 者 中 里 伸 二 群馬県高崎市西横手町111番地 株式会社日立製作所高崎工場内

⑱ 発 明 者 相 坂 泰 弘 埼玉県入間郡毛呂山町大字旭台15番地 日立東部セミコンダクタ株式会社内

⑱ 発 明 者 伊 藤 紳 秋田県南秋田郡天王町字長沼64 アキタ電子株式会社内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑲ 出 願 人 日立東部セミコンダクタ株式会社 埼玉県入間郡毛呂山町大字旭台15番地

⑲ 出 願 人 アキタ電子株式会社 秋田県南秋田郡天王町字長沼64

⑳ 代 理 人 弁理士 大日方 富雄

最終頁に続く

明 細 書

1. 発明の名称

半導体集積回路装置

2. 特許請求の範囲

1. 複数の端子パッドおよび各端子パッドごとに設けられた保護回路を介して並列に入力される複数ビットの論理信号によって動作する半導体集積回路装置であって、半導体集積回路装置内にて生じる論理信号のタイミングバラツキを上記保護回路の回路定数によって補正したことを特徴とする半導体集積回路装置。

2. 半導体集積回路装置内にて生じる論理信号のタイミングバラツキを、保護回路の一部を形成し、かつ単一層のマスクパターンを部分的に変更するだけで定数変更が可能な回路素子によって補正したことを特徴とする特許請求の範囲第1項記載の半導体集積回路装置。

3. 保護回路として、信号伝送路に直列に介在する抵抗素子と、信号伝送路に並列に介在する容量素子とを有する静電破壊防止回路が、各端子パッ

ドごとに設けられていることを特徴とする特許請求の範囲第1項または第2項記載の半導体集積回路装置。

4. 複数の端子パッドおよび各端子パッドごとに設けられた保護回路を介して並列に入力される複数ビットのアドレス信号に基づいてメモリー選択を行う半導体記憶装置であって、上記アドレス信号に基づいてメモリー選択を行うメモリー周辺回路における信号のタイミングバラツキを上記保護回路の回路定数によって補正したことを特徴とする半導体集積回路装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、半導体集積回路、さらには外部から並列に入力される複数ビットの論理信号によって動作する半導体集積回路装置に適用して有効な技術に関するもので、例えば高速型の半導体記憶装置に利用して有効な技術に関するものである。

〔従来の技術〕

一般に、SRAMなどの半導体集積回路装置で

は、その高速化のために、BiCMOSなどのような高速型の回路方式を採用するとともに、半導体集積回路装置内での信号の伝達遅延バラツキをできるだけ小さくすることが必要になる（例えば、特開昭56-58193号公報参照）。

例えば、TTLインタフェースによるBiCMOS型の高速SRAMでは、0.2~0.3ns程度のバラツキが存在しても、アクセス速度に大きく影響する。

そこで、従来のこの種のSRAMでは、例えば0.2~0.3nsといった微妙な伝達遅延バラツキを補正するために、デコーダ内の回路定数例えば抵抗素子や容量素子などの値を調整することが試みられていた。

〔発明が解決しようとする課題〕

しかしながら、上述した技術には、次のような問題のあることが本発明者らによってあきらかとされた。

すなわち0.2~0.3nsといったような微妙な伝達遅延バラツキは、プロセス条件などの非

常に多くの要因が複雑に絡んで生じる。従って、その伝達遅延バラツキを補正するための条件も一義的には決定することができず、レイアウトの大幅な見直し、多層にわたるマスクパターンの修正を何度も繰り返しながら、試行錯誤的に追い詰めていくしかなかった。この結果、所定の補正効果が得られるようになるまでには、非常に多くの試作を行わなければならない、このことが開発期間の短縮を困難にしていた。

本発明の目的は、半導体集積回路装置内における論理信号の伝達遅延バラツキを、簡単な設計変更および短い開発期間でもって確実に補正できるようにする、という技術を提供することにある。

この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

〔課題を解決するための手段〕

本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

すなわち、複数ビットの論理信号の入力部分に

設けられる保護回路の定数を操作することによって、半導体集積回路装置内に生じる論理信号のタイミングバラツキを補正するというものである。

〔作用〕

上記した手段によれば、半導体集積回路装置内における論理信号に伝達遅延バラツキを、保護回路における時定数の大小によって一義的に補正することができる。

これにより、半導体集積回路装置内における論理信号の伝達遅延バラツキを、簡単な設計変更および短い開発期間でもって確実に補正するという目的が達成される。

〔実施例〕

以下、本発明の好適な実施例を図面に基づいて説明する。

なお、各図中、同一符号は同一あるいは相当部分を示す。

第1図は本発明の技術が適用された半導体集積回路装置の要部における一実施例を示す。

同図に示す半導体集積回路装置はBiCMOS

型の高速SRAMとして構成されたものであって、 $A_1 \sim A_n$ はロウ・アドレス信号($A_1 \sim A_m$)とカラム・アドレス信号($A_{(m+1)} \sim A_n$)とからなるアドレス信号、 $P_1 \sim P_n$ は上記アドレス信号($A_1 \sim A_n$)を外側から並列に入力させるための端子パッド、 $11 \sim 1n$ は半導体集積回路装置内の回路を保護するために各端子パッド($P_1 \sim P_n$)ごとに設けられた静電破壊防止回路、2はアドレスバッファ21およびデコーダ22、23などからなるメモリー周辺回路、3は上記メモリー周辺回路2によってXYの2方向からメモリー選択されるメモリーセル・アレイである。

上記静電破壊防止回路 $11 \sim 1n$ は、信号伝送路に直列に介在する抵抗素子 $R_{i1} \sim R_{in}$ と、信号伝送路に並列に介在するMOS容量素子 $M_1 \sim M_n$ とによって形成されている。この静電破壊防止回路 $11 \sim 1n$ は、端子パッド $P_1 \sim P_n$ に静電気による高圧サージが印加されたときに、その高圧サージをMOS容量素子 $M_{i1} \sim M_{in}$ によって基準電位GND（あるいは電源電位Vcc）

にバイパスさせることによって内部回路の破壊を防止する。このとき、上記静電破壊防止回路11～1nは、抵抗素子 $R_{i1} \sim R_{in}$ とMOS容量素子 $M_{i1} \sim M_{in}$ による時定数により、端子パッド $P_1 \sim P_n$ からメモリー周辺回路2に入力されるアドレス信号 $A_1 \sim A_n$ に対して遅延回路としても動作する。

ここで、上記静電破壊防止回路11～1nの各抵抗素子 $R_{i1} \sim R_{in}$ は、上記メモリー周辺回路2などの内部回路にて生じるアドレス信号 $A_1 \sim A_n$ のタイミングバラツキを補正するような時定数をもつようにそれぞれ設定されている。これにより、上述したBiCMOS型の高速SRAMでは、そのアクセス時間のバラツキを抑えて、実効的な速度向上を図ることができる。

第2図は上述した半導体集積回路装置において静電破壊防止回路11～1nの付近のレイアウト構成を示したものであって、41は抵抗素子 $R_{i1} \sim R_{in}$ をなす多結晶シリコン層、42はCMOS容量素子 $M_{i1} \sim M_{in}$ のゲート電極をなす

多結晶シリコン層、5はアルミニウム配線層、6はスルーホール、7はソース・ドレイン領域である。

ここで、抵抗素子 $R_{i1} \sim R_{in}$ は、複数のスルーホール列61、62、63が互いに間隔をおいて配設されるとともに、各スルーホール列61、62、63の間をアルミニウム配線層5でシャントするかどうかによって、その抵抗値が個々に可変設定されるようになっている。これにより、上記抵抗素子 $R_{i1} \sim R_{in}$ の各抵抗値はそれぞれ、上記メモリー周辺回路2における伝達遅延のバラツキによって生じるアドレス信号 $A_1 \sim A_n$ のタイミングバラツキを補正するような時定数をもつようにそれぞれ設定されている。このとき、その補正のための抵抗値の設定は、上記アルミニウム配線層5をリソグラフィ形成するパターンマスクの一部を変更することによって行われる。

以上のようにして、半導体集積回路装置内における信号の伝達遅延バラツキは、メモリー周辺回路2などの内部回路に手を加えることなく、単一

層のマスクパターンを部分的に変更するだけで任意に可変設定することができる抵抗素子 $R_{i1} \sim R_{in}$ の抵抗値によって補正することができる。これにより、半導体集積回路装置内における信号の伝達遅延バラツキを、簡単な設計変更および短い開発期間でもって確実に補正することができる。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

例えば、保護回路である静電破壊防止回路の時定数は、MOS容量素子 $M_{i1} \sim M_{i2}$ のゲート電極サイズによっても可変設定することができる。

以上の説明では主として本発明者によってなされた発明をその背景となつた利用分野である高速SRAMに適用した場合について説明したが、それに限定されるものではなく、例えばゲートアレイなどにも適用できる。

[発明の効果]

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

すなわち、半導体集積回路装置内における論理信号の伝達遅延バラツキを、簡単な設計変更及び短い開発期間でもって確実に補正することができるという効果が得られる。

4. 図面の簡単な説明

第1図は本発明の一実施例による半導体集積回路装置の要部を示すブロック図。

第2図は本発明の一実施例による半導体集積回路装置の要部におけるレイアウト構成を示す図である。

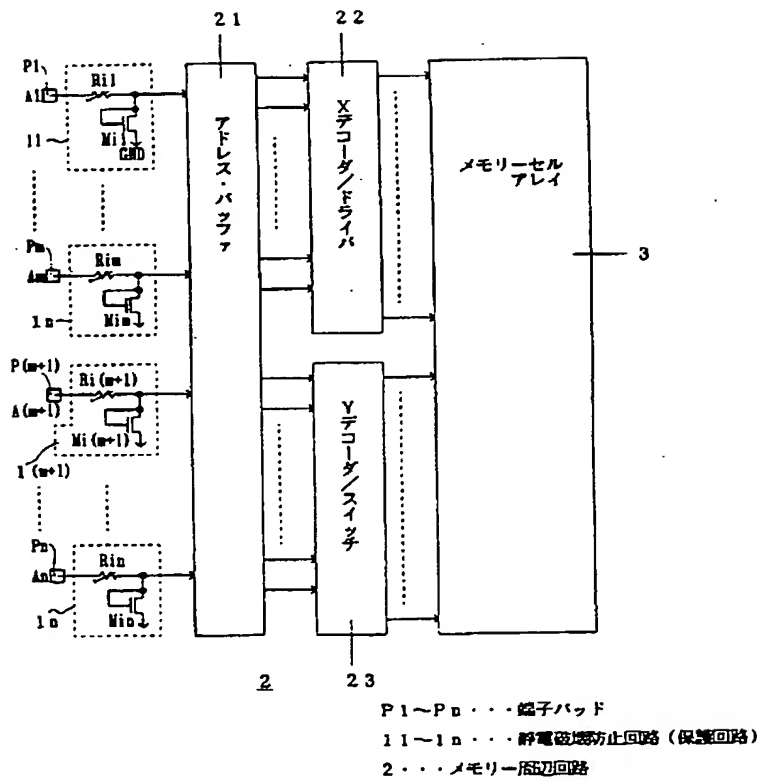
$A_1 \sim A_n \dots$ アドレス信号、 $P_1 \sim P_n \dots$ 端子パッド、11～1n…保護回路としての静電破壊防止回路、 $R_{i1} \sim R_{in} \dots$ 抵抗素子、 $M_{i1} \sim M_{in} \dots$ MOS容量素子、2…メモリー周辺回路、3…メモリーセル・アレイ、41、42…多結晶シリコン層、5…アルミニウム配線層、6…スルーホール、

6 1, 6 2, 6 3 ……スルーホール列、7 ……
ソース・ドレイン領域。

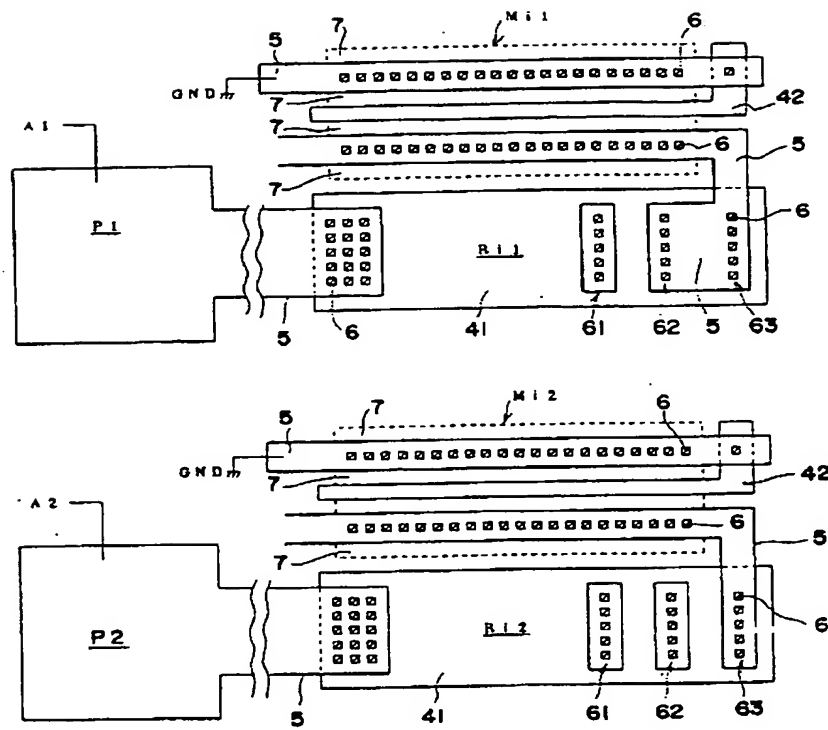
代理人 弁理士 大日方富雄



第 1 図



第 2 図



第 1 頁の続き

⑤Int. Cl.⁵

H 03 K 19/0175

識別記号

庁内整理番号

⑦発 明 者 川 上

誠

秋田県南秋田郡天王町字長沼64 アキタ電子株式会社内

⑦発 明 者 坂 本

昌 隆

群馬県高崎市西横手町111番地 株式会社日立製作所高崎
工場内